

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235862
(43)Date of publication of application : 05.09.1995

(51)Int.Cl. H03K 4/94
G06F 1/04
G06F 15/78

(21)Application number : 06-317560
(22)Date of filing : 28.11.1994

(71)Applicant : LEXMARK INTERNATL INC
(72)Inventor : HARDIN KEITH B
FESSLER JOHN T
BUSH DONALD R
BOOTH JAMES R

(30)Priority

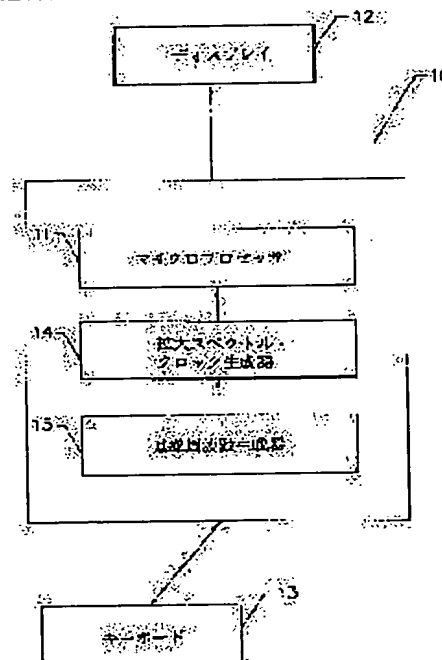
Priority number : 93 160077 Priority date : 29.11.1993 Priority country : US

(54) SPREAD SPECTRUM CLOCK GENERATOR AND ASSOCIATED METHOD

(57)Abstract:

PURPOSE: To generate clock signals for driving a microprocessor or other digital circuits at a relatively high frequency and to reduce the spectrum amplitude of EMI(electromagnetic interference) components measured for a relatively wide band width.

CONSTITUTION: A clock circuit is loaded with an oscillator 15 for generating reference frequency signals and this enlarged spectrum clock generator 14 operated along with the oscillator so as to generate spread spectrum clock output signals provided with the EMI spectrum components of a reduced amplitude and a fundamental frequency at harmonics of the fundamental frequency. Then, the spread spectrum clock generator is loaded with a clock pulse generator for generating the series of clock pulses and a spread spectrum modulator for frequency modulating the clock pulse generator so as to broaden and flatten the amplitude of the EMI spectrum components produced by the clock pulse generator.



LEGAL STATUS

[Date of request for examination]

27.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 3 5 8 6 2

(43) 公開日 平成 7 年 (1 9 9 5) 9 月 5 日

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

H03K 4/94

G06F 1/04

15/78

A

510

P

審査請求 未請求 請求項の数 4 1 F D (全 1 6 頁)

(21) 出願番号 特願平 6 - 3 1 7 5 6 0

(22) 出願日 平成 6 年 (1 9 9 4) 1 1 月 2 8 日

(31) 優先権主張番号 0 8 / 1 6 0 , 0 7 7

(32) 優先日 1 9 9 3 年 1 1 月 2 9 日

(33) 優先権主張国 米国 (U S)

(71) 出願人 5 9 1 1 9 4 0 3 4

レックスマーク・インターナショナル・インコーポレーテッド

LEXMARK INTERNATIONAL, INC

アメリカ合衆国 0 6 8 3 6 - 2 8 6 8

コネチカット、グリニッチ、レイルロード・アヴェニュー 5 5

(72) 発明者 ケース・ビー・ハーディン

アメリカ合衆国 4 0 5 1 5 ケンタッキー、レキシントン、シェイディ・オーク・ブレイス 2 4 0 4

(74) 代理人 弁理士 大橋 邦彦 (外 2 名)

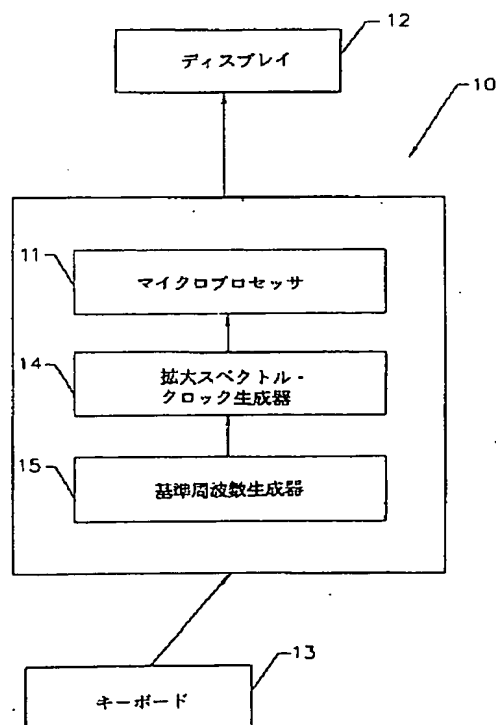
最終頁に続く

(54) 【発明の名称】 拡大スペクトル・クロック生成器及び関連方法

(57) 【要約】 (修正有)

【目的】 マイクロプロセッサまたは他のデジタル回路を比較的高い周波数でドライブするクロック信号を生成し、かつ比較的に広い帯域幅に対して測定される E M I 成分のスペクトル振幅を減少する。

【構成】 クロック回路は、基準周波数信号を生成するための発振器 1 5 と、基本周波数と減少された振幅の E M I スペクトル成分を基本周波数の高調波に於いて有する拡大スペクトル・クロック出力信号を生成するために発振器と共に作動する拡大スペクトル・クロック生成器 1 4 を搭載している。拡大スペクトル・クロック生成器は、クロック・パルスのシリーズを生成するためのクロック・パルス生成器と、クロック・パルス生成器によって生成されると考えられる E M I スペクトル成分の振幅を拡大し且つ平らにするためにクロック・パルス生成器を周波数変調するための拡大スペクトル変調器を搭載している。



【特許請求の範囲】

【請求項 1】 減少された振幅の電磁干渉(EMI)スペクトル成分を有するクロック出力信号を生成するためのクロック回路であって、

基準周波数信号を生成するための発振器手段と、

基本周波数と減少された振幅のEMIスペクトル成分を基本周波数の高調波に於いて有する拡大スペクトル・クロック出力信号を生成するために、前記の発振器手段と共に作動する拡大スペクトル・クロック生成手段と、を搭載してなるクロック回路。

【請求項 2】 前記の拡大スペクトル・クロック生成手段が、

一般的に長方形の形状の電気クロック・パルスのシリーズを生成するためのクロック・パルス生成手段と、

前記のクロック・パルス生成手段に依って生成されると考えられるインパルス形状のEMIスペクトル成分の振幅を拡大し且つ平らにするために同様に変調する前記のクロック・パルス生成手段と共に作動する拡大スペクトル変調手段を搭載している、請求項 1 に記載のクロック回路。

【請求項 3】 前記の拡大スペクトル変調手段が前記のクロック・パルス生成手段を周波数変調するための周波数変調手段を搭載している、請求項 2 に記載のクロック回路。

【請求項 4】 前記の周波数変調手段が、予め設定された周期と予め設定された周波数偏移形状を予め設定された周期の関数として有する周期的な波形を用いて、前記のクロック・パルス生成手段を周波数変調するための形状変調手段を搭載している、請求項 3 に記載のクロック回路。

【請求項 5】 前記の周波数変調手段は、予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期（%周期）のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルス生成手段を変調するための形状変調手段を搭載している、そこでは、前記の予め設定された上限は次に等しい F_1 に依って0~25%周期の第2象限で形成され、

【数 1】

$$100\% \left\{ -1 + \sqrt{ - \left(\frac{\% \text{ Period}}{25} \right)^2 + 4 \left(\frac{\% \text{ Period}}{25} \right) + .973 } \right\},$$

第2象限に於ける前記の予め設定された下限は次に等しい F_2 に依って形成され、

【数 2】

$$50\% \left\{ \frac{\% \text{ Period}}{25} \right\}^2,$$

-25% ~ 0% 周期の間の第1象限の場合に下限は $-F_1$ （-% 周期）に等しく且つ上限は $-F_2$ （-% 周期）に等しく、なおかつ、25% ~ 50% 周期の間の第3象限の場合に下限は F_2 （50 - % 周期）に等しく且つ上限は F_1 （50

0 - % 周期）に等しく、なおかつ、第4象限の場合に下限は $-F_1$ （% 周期 - 50）に等しく且つ上限は $-F_2$ （% 周期 - 50）に等しい、請求項 3 に記載のクロック回路。

【請求項 6】 前記の周波数変調手段は、予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期（%周期）のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルス生成手段を変調するための形状変調手段を搭載している、そこでは、第2象限に対して前記の予め設定された上限は次に等しい F_1 に依って形成され、

【数 3】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\},$$

前記の予め設定された下限は次に等しい F_2 に依って形成され、

【数 4】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\}^2,$$

20 -25% ~ 0% 周期の間の第1象限の場合に下限は $-F_1$ （-% 周期）に等しく且つ上限は $-F_2$ （-% 周期）に等しく、なおかつ、25% ~ 50% 周期の間の第3象限の場合に下限は F_2 （50 - % 周期）に等しく且つ上限は F_1 （50 - % 周期）に等しく、なおかつ、第4象限の場合に下限は $-F_1$ （% 周期 - 50）に等しく且つ上限は $-F_2$ （% 周期 - 50）に等しい、請求項 3 に記載のクロック回路。

【請求項 7】 前記の周波数変調手段は、 F_1 に依って第2象限に形成される周期性波形の周期（%周期）のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、前記のクロック・パルス生成手段を変調するための形状変調手段を搭載している、ここで前記の F_1 は $100\% \left[0.45 \left(\frac{\% \text{ Period}}{25} \right) + 0.55 \left(\frac{\% \text{ Period}}{25} \right) \right]$ に等しく、そこでは -25%~0% 周期の間の第1象限の場合に形状は $-F_1$ （-% 周期）に等しく、25% ~ 50% 周期の間の第3象限の場合に形状は F_2 （50 - % 周期）に等しく、第4象限の場合に形状は $-F_1$ （% 周期 - 50）に等しい、請求項 3 に記載のクロック回路。

【請求項 8】 前記のクロック・パルス生成手段は位相ロック・ループを搭載している、請求項 3 に記載のクロック回路。

【請求項 9】 前記の周波数変調手段は前記の位相ロック・ループに動作的に接続されているアナログ変調生成器を搭載している、請求項 8 に記載のクロック回路。

【請求項 10】 前記の周波数変調手段は前記の位相ロック・ループに動作的に接続されているプログラム設定変調生成器を搭載している、請求項 8 に記載のクロック回路。

【請求項 11】 前記の周波数変調手段は約500マイクロ秒未満の周期を有する周期性波形を備えて前記のクロック・パルス生成手段を変調するための手段を搭載して

いる、請求項 3 に記載のクロック回路。

【請求項 1 2】 前記の発振器手段が予め設定された共振周波数を有する水晶を搭載している、請求項 1 に記載のクロック回路。

【請求項 1 3】 減少された振幅の電磁干渉 (EMI) スペクトル成分を有するクロック出力信号を生成するためのクロック回路であって、

基準周波数信号を生成するための発振器手段と、

基本周波数と減少された EMI スペクトル成分を基本周波数の高調波に於いて有する拡大スペクトル・クロック出力信号を生成するために前記の発振器手段と共に作動する拡大スペクトル・クロック生成手段に於いて、

シリーズのクロック・パルスを生成するクロック・パルス生成手段と、

予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期 (% 周期) のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルス生成手段を周波数変調するための形状変調手段に於いて、第 2 象限に対して前記の予め設定された上限は次に等しい F_1 に依って形成され

【数 5】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\},$$

且つ前記の予め設定された下限は次に等しい F_4 に依って形成され、

【数 6】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\}^p;$$

-25% ~ 0% 周期の間の第 1 象限の場合に下限は $-F_1$ 、(-% 周期) に等しく且つ上限は $-F_4$ 、(-% 周期) に等しく、なおかつ、25% ~ 50% 周期の間の第 3 象限の場合に下限は F_1 、(50 - % 周期) に等しく且つ上限は F_4 、(50 - % 周期) に等しく、なおかつ、第 4 象限の場合に下限は $-F_1$ 、(% 周期 - 50) に等しく且つ上限は $-F_4$ 、(% 周期 - 50) に等しい、前記の形状変調手段を搭載している、前記の拡大スペクトル・クロック生成手段を搭載している、前記のクロック回路。

【請求項 1 4】 前記の形状変調手段は、予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期 (% 周期) のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルス生成手段を変調するための手段を搭載して、第 2 象限に対して前記の予め設定された上限は次に等しい F_1 に依って形成され

【数 7】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\},$$

且つ前記の予め設定された下限は次に等しい F_4 に依って形成され、

【数 8】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\}^p;$$

-25% ~ 0% 周期の間の第 1 象限の場合に下限は $-F_1$ 、(-% 周期) に等しく且つ上限は $-F_4$ 、(-% 周期) に等しく、なおかつ、25% ~ 50% 周期の間の第 3 象限の場合に下限は F_1 、(50 - % 周期) に等しく且つ上限は F_4 、(50 - % 周期) に等しく、なおかつ、第 4 象限の場合に下限は $-F_1$ 、(% 周期 - 50) に等しく且つ上限は $-F_4$ 、(% 周期 - 50) に等しい、請求項 13 に記載のクロック回路。

【請求項 1 5】 前記の形状変調手段は、 F_1 に依って第 2 象限に形成される周期性波形の周期 (% 周期) のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、前記のクロック・パルス生成手段を変調するための手段を搭載して、ここで前記の F_1 は $100\% [0.45 (\% \text{ 周期} / 25)^1 + 0.55 (\% \text{ 周期} / 25)^2]$ に等しく、そこでは -25% ~ 0% 周期の間の第 1 象限の場合に形状は $-F_1$ 、(-% 周期) に等しく、25% ~ 50% 周期の間の第 3 象限の場合に形状は F_1 、(50 - % 周期) に等しく、第 4 象限の場合に形状は $-F_1$ 、(% 周期 - 50) に等しい、請求項 13 に記載のクロック回路。

【請求項 1 6】 前記のクロック・パルス生成手段が位相ロック・ループを搭載している、請求項 13 に記載のクロック回路。

【請求項 1 7】 前記の形状変調手段は前記の位相ロック・ループに動作的に接続されているアナログ変調生成器を搭載している、請求項 16 に記載のクロック回路。

【請求項 1 8】 前記の形状変調手段は前記の位相ロック・ループに動作的に接続されているプログラム設定変調生成器を搭載している、請求項 16 に記載のクロック回路。

【請求項 1 9】 前記の形状変調手段は約 500 マイクロ秒未満の周期を有する周期性波形を備えて前記のクロック・パルス生成手段を変調するための手段を搭載している、請求項 13 に記載のクロック回路。

【請求項 2 0】 前記の発振器手段が予め設定された共振周波数を有する水晶を搭載している、請求項 13 に記載のクロック回路。

【請求項 2 1】 減少された振幅の電磁干渉 (EMI) スペクトル成分を有するクロック出力信号を生成するためのクロック回路であって、シリーズのクロック・パルスを生成するクロック・パルス生成手段と、

前記のクロック・パルス生成手段に依って生成されると考えられる EMI スペクトル成分の振幅を拡大し且つ平らにするために同様に変調する前記のクロック・パルス生成手段と共に作動する拡大スペクトル変調手段を搭載している、前記のクロック回路。

【請求項 2 2】 前記の拡大スペクトル変調手段が前記のクロック・パルス生成手段を周波数変調するための周

波数変調手段を搭載している、請求項21に記載のクロック回路。

【請求項23】 前記の周波数変調手段は、予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期（%周期）のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルス生成手段を変調するための形状変調手段を搭載している、そこでは、前記の予め設定された上限は次に等しい F_1 に依って 0～25 % 周期の第2象限で形成され、

【数9】

$$100\% \left[-1 + \sqrt{ - \left(\frac{\% \text{ Period}}{25} \right)^2 + 4 \left(\frac{\% \text{ Period}}{25} \right) + .973 } \right],$$

第2象限に於ける前記の予め設定された下限は、次に等しい F_2 に依って形成され、

【数10】

$$50\% \left[\frac{\% \text{ Period}}{25} \right]^{10};$$

-25% ～ 0% 周期の間の第1象限の場合に下限は $-F_1$ (-% 周期) に等しく且つ上限は $-F_2$ (-% 周期) に等しく、なおかつ、25% ～ 50% 周期の間の第3象限の場合に下限は F_2 (50 - % 周期) に等しく且つ上限は F_1 (50 - % 周期) に等しく、なおかつ、第4象限の場合に下限は $-F_1$ (% 周期 - 50) に等しく且つ上限は $-F_2$ (% 周期 - 50) に等しい、請求項22に記載のクロック回路。

【請求項24】 前記の周波数変調手段は、予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期（%周期）のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルス生成手段を変調するための形状変調手段を搭載している、そこでは、第2象限に対して前記の予め設定された上限は次に等しい F_1 に依って形成され、

【数11】

$$100\% \left[\frac{\% \text{ Period}}{25} \right],$$

前記の予め設定された下限は次に等しい F_2 に依って形成され、

【数12】

$$100\% \left[\frac{\% \text{ Period}}{25} \right]^p;$$

-25% ～ 0% 周期の間の第1象限の場合に下限は $-F_1$ (-% 周期) に等しく且つ上限は $-F_2$ (-% 周期) に等しく、なおかつ、25% ～ 50% 周期の間の第3象限の場合に下限は F_2 (50 - % 周期) に等しく且つ上限は F_1 (50 - % 周期) に等しく、なおかつ、第4象限の場合に下限は $-F_1$ (% 周期 - 50) に等しく且つ上限は $-F_2$ (% 周期 - 50) に等しい、請求項22に記載のクロック回路。

【請求項25】 前記の周波数変調手段は、 F_1 に依って第2象限に形成される周期性波形の周期（%周期）のパー

センテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、前記のクロック・パルス生成手段を変調するための形状変調手段を搭載している、ここで前記の F_1 は $100\% [0.45 (\% \text{ 周期}/25)^3 + 0.55 (\% \text{ 周期}/25)]$ に等しく、そこでは -25%～0% 周期の間の第1象限の場合に形状は $-F_1$ (-% 周期) に等しく、25%～50% 周期の間の第3象限の場合に形状は F_1 (50 - % 周期) に等しく、第4象限の場合に形状は $-F_1$ (% 周期 - 50) に等しい、請求項25に記載のクロック回路。

10 【請求項26】 減少された振幅の電磁干渉(EMI)スペクトル成分を有する電子デバイスであって、

基本周波数と減少された振幅のEMIスペクトル成分を基本周波数の高調波に於いて有する拡大スペクトル・クロック出力信号を生成するための拡大スペクトル生成手段と、

前記の拡大スペクトル・クロック生成手段に接続されていて且つ拡大スペクトル・クロック出力信号に依ってドライブされるクロック入力を有するデジタル回路を搭載している、前記の電子デバイス。

20 【請求項27】 前記の拡大スペクトル・クロック生成手段が、

クロック・パルスのシリーズを生成するクロック・パルス生成手段と、

前記のクロック・パルス生成手段に依って生成されると考えられるEMIスペクトル成分の振幅を拡大し且つ平らにするために同様に変調する前記のクロック・パルス生成手段と共に作動する拡大スペクトル変調手段を搭載している、請求項26に記載の電子デバイス。

30 【請求項28】 前記の拡大スペクトル変調手段が前記のクロック・パルス生成手段を周波数変調するための周波数変調手段を搭載している、請求項27に記載の電子デバイス。

【請求項29】 前記の周波数変調手段が、予め設定された周期と予め設定された周波数偏移形状を予め設定された周期の関数として有する周期性波形を用いて、前記のクロック・パルス生成手段を周波数変調するための形状変調手段を搭載している、請求項28に記載の電子デバイス。

40 【請求項30】 前記の周波数変調手段は、予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期（%周期）のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルス生成手段を変調するための形状変調手段を搭載している、そこでは、前記の予め設定された上限は次に等しい F_1 に依って 0～25 % 周期の第2象限で形成され、

【数13】

$$100\% \left[-1 + \sqrt{ - \left(\frac{\% \text{ Period}}{25} \right)^2 + 4 \left(\frac{\% \text{ Period}}{25} \right) + .973 } \right],$$

50 第2象限に於ける前記の予め設定された下限は、次に等

しい F_1 に依って形成され、

【数 1 4】

$$50\% \left\{ \frac{\% \text{ Period}}{25} \right\}^{1.0};$$

-25% ~ 0% 周期の間の第 1 象限の場合に下限は $-F_1$ (-% 周期) に等しく且つ上限は $-F_1$ (-% 周期) に等しく、なおかつ、25% ~ 50% 周期の間の第 3 象限の場合に下限は F_1 (50 - % 周期) に等しく且つ上限は F_1 (50 - % 周期) に等しく、なおかつ、第 4 象限の場合に下限は $-F_1$ (% 周期 - 50) に等しく且つ上限は $-F_1$ (% 周期 - 50) に等しい、請求項 28 に記載の電子デバイス。

【請求項 3 1】 前記の周波数変調手段は、予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期 (% 周期) のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルス生成手段を変調するための形状変調手段を搭載して、そこでは、第 2 象限に対して前記の予め設定された上限は次に等しい F_1 に依って形成され、

【数 1 5】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\};$$

前記の予め設定された下限は次に等しい F_1 に依って形成され、

【数 1 6】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\}^3;$$

-25% ~ 0% 周期の間の第 1 象限の場合に下限は $-F_1$ (-% 周期) に等しく且つ上限は $-F_1$ (-% 周期) に等しく、なおかつ、25% ~ 50% 周期の間の第 3 象限の場合に下限は F_1 (50 - % 周期) に等しく且つ上限は F_1 (50 - % 周期) に等しく、なおかつ、第 4 象限の場合に下限は $-F_1$ (% 周期 - 50) に等しく且つ上限は $-F_1$ (% 周期 - 50) に等しい、請求項 28 に記載の電子デバイス。

【請求項 3 2】 前記の周波数変調手段は、 F_1 に依って第 2 象限に形成される周期性波形の周期 (% 周期) のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、前記のクロック・パルス生成手段を変調するための形状変調手段を搭載して、ここで前記の F_1 は $100\% [0.45 (\% \text{ 周期}/25)^2 + 0.55 (\% \text{ 周期}/25)]$ に等しく、そこでは -25% ~ 0% 周期の間の第 1 象限の場合に形状は $-F_1$ (-% 周期) に等しく、25% ~ 50% 周期の間の第 3 象限の場合に形状は F_1 (50 - % 周期) に等しく、第 4 象限の場合に形状は $-F_1$ (% 周期 - 50) に等しい、請求項 28 に記載の電子デバイス。

【請求項 3 3】 前記のクロック・パルス生成手段は位相ロック・ループを搭載している、請求項 28 に記載の電子デバイス。

【請求項 3 4】 減少された振幅の電磁干渉 (EMI) スペクトル成分を有するクロック出力信号を生成するための

方法であって、前記の方法は拡大スペクトル・クロック出力信号を生成するステップを搭載している、拡大スペクトル・クロック出力信号は基本周波数と減少された振幅の EMI スペクトル成分を基本周波数の高調波に於いて有している、前記の方法。

【請求項 3 5】 拡大スペクトル・クロック出力信号を生成するステップが、

クロック・パルスのシリーズを生成し、

クロック・パルスのシリーズで生成され则认为られる

EMI スペクトル成分の振幅を拡大し且つ平らにするためにクロック・パルスのシリーズを拡大スペクトル変調するステップを搭載している、請求項 34 に記載の方法。

【請求項 3 6】 拡大スペクトル変調のステップがクロック・パルスのシリーズを周波数変調するステップを搭載している、請求項 35 に記載の方法。

【請求項 3 7】 周波数変調するステップが、予め設定された周期と予め設定された周波数偏移形状を予め設定された周期の関数として有する周期性波形を用いて、クロック・パルスのシリーズを変調するステップを搭載している、請求項 36 に記載の方法。

【請求項 3 8】 周波数変調するステップが、予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期 (% 周期) のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルスのシリーズを変調するステップを搭載して、そこでは、予め設定された上限は次に等しい F_1 に依って 0 ~ 25 % 周期の第 2 象限で形成され、

【数 1 7】

$$100\% \left\{ -1 + \sqrt{ - \left(\frac{\% \text{ Period}}{25} \right)^2 + 4 \left(\frac{\% \text{ Period}}{25} \right) + .973 } \right\};$$

第 2 象限に於ける予め設定された下限は次に等しい F_1 に依って形成され、

【数 1 8】

$$50\% \left\{ \frac{\% \text{ Period}}{25} \right\}^{1.0};$$

-25% ~ 0% 周期の間の第 1 象限の場合に下限は $-F_1$ (-% 周期) に等しく且つ上限は $-F_1$ (-% 周期) に等しく、なおかつ、25% ~ 50% 周期の間の第 3 象限の場合に下限は F_1 (50 - % 周期) に等しく且つ上限は F_1 (50 - % 周期) に等しく、なおかつ、第 4 象限の場合に下限は $-F_1$ (% 周期 - 50) に等しく且つ上限は $-F_1$ (% 周期 - 50) に等しい、請求項 36 に記載の方法。

【請求項 3 9】 周波数変調するステップが、予め設定された上限と下限に依って形成されるエンベロープの内部に周期性波形の周期 (% 周期) のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルスのシリーズを変調するステップを搭載して、そこでは、第 2 象限に対して予め設定された上限は次に等しい F_1 に依って形成さ

れ、

【数 1 9】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\},$$

予め設定された下限は次に等しい F_1 に依って形成され、

【数 2 0】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\}^b;$$

-25% ~ 0% 周期の間の第 1 象限の場合に下限は $-F_1$ 、(-% 周期) に等しく且つ上限は $-F_1$ 、(-% 周期) に等しく、なおかつ、25% ~ 50% 周期の間の第 3 象限の場合に下限は F_1 、(50 - % 周期) に等しく且つ上限は F_1 、(50 - % 周期) に等しく、なおかつ、第 4 象限の場合に下限は $-F_1$ 、(% 周期 - 50) に等しく且つ上限は $-F_1$ 、(% 周期 - 50) に等しい、請求項 36 に記載の方法。

【請求項 4 0】 周波数変調するステップが、 F_1 に依って第 2 象限に形成される周期性波形の周期 (% 周期) のパーセンテージの関数として周波数偏移形状のパーセンテージを有する周期性波形を用いて、クロック・パルスのシリーズを変調するステップを搭載して、ここで前記の F_1 は $100\% \left[0.45(\% \text{ 周期}/25)^a + 0.55(\% \text{ 周期}/25) \right]$ に等しく、そこでは -25% ~ 0% 周期の間の第 1 象限の場合に形状は $-F_1$ 、(-% 周期) に等しく、25% ~ 50% 周期の間の第 3 象限の場合に形状は F_1 、(50 - % 周期) に等しく、第 4 象限の場合に形状は $-F_1$ 、(% 周期 - 50) に等しい、請求項 36 に記載の方法。

【請求項 4 1】 周波数変調するステップが約 500 マイクロ秒未満の周期を有する周期性波形を備えてクロック・パルスのシリーズを変調するステップを搭載している、請求項 36 に記載の方法。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】 本発明は、デジタル回路の分野、特に、減少された測定可能な電磁干渉 (EMI) 放出をクロック回路に関する。

【0 0 0 2】

【従来の技術】 数多くの電子デバイスは、1 つまたは複数のクロック信号を同期のために要求するマイクロプロセッサまたは他のデジタル回路を採用している。クロック信号は、例えば、マイクロプロセッサに於ける事象の正確な時間設定を可能にする。代表的なマイクロプロセッサは、水晶や LC-同調回路または外部クロック源からドライブされるように、自由に作動する発振器から監視または同期されると思われる。40 MHz に達する場合もあり且つ其れ以下の場合もあるクロック・レートがパーソナル・コンピュータで広く用いられている。クロック信号のパラメーターは、マイクロプロセッサに相応して普通は指定され、なおかつ、最大と最小の許容クロック周波数と、高い及び低い電圧レベルに関する公差、波形末端に於ける最大立ち上がりと立ち下がり時

間、波形が方形波でない場合のパルス幅の公差、および 2 つのクロック位相信号のクロック位相間の関係が必要とされない時間設定を含んでいると思われる。(Fink などの電子エンジニア・ハンドブック、8 ~ 111 頁、1989 年発行を参照)。

【0 0 0 3】

【発明が解決しようとする課題】 残念ながら、高性能で、立ち上がり端を用いるマイクロプロセッサ・ベース・デバイスの、高速回路は、生成し放出する電磁干渉 (EMI) に対して特に敏感である。EMI 放出のスペクトル成分は、ピーク振幅をクロック回路の基本周波数の高調波に普通は有している。そこで、アメリカの FCC のような数多くの規制制定組織は、このような製品に対して試験手順と最大許容放出量を定めている。例えば、電気技術合理化委員会 (国際無線干渉特別委員会 (C. I. S. P. R.)) は、規制に対する適合性を決めるために測定装置と技術を決めるガイドラインを備えている。特に、クロック回路の対象となる周波数帯域の場合、測定される 6 dB 帯域は比較的広い 120 KHz である。

【0 0 0 4】 このような EMI 放出に対する行政機関の制限に適合するために、高コストの抑制素子または大型の遮蔽部品が要求されると思われる。EMI を減少する他の対策として、ループおよび他に潜在する放射構造を最小限にするためにプリント基板上の信号経路を慎重に検討して作成することになる。残念ながら、このような対策は、しばしば、内部接地面を備えた非常に大型の多層回路ボードを要することになる。そのうえ、EMI 放出量を減少するために多大な技術的な労力を投入しなければならない。EMI 放出に起因する欠点は、高精度のマイクロプロセッサとクロック速度で特に悪くなる。

【0 0 0 5】 パワー・スイッチング回路も大電流と高電圧の高速スイッチングに起因する EMI 放出を生成する傾向がある。このような回路に於ける EMI ノイズの減少は、例えば、1992 年 9 月 20 ~ 22 日にバージニア州パワー・エレクトロニクス・センターで催された VPEC 第 10 年度パワー・エレクトロニクス・セミナーに於いて、Lin などがスイッチング周波数変調に依る電源 EMI 放出量の減少 129 ~ 136 頁に報告しているように、ノイズ源の抑制、ノイズ結合通路の隔離、濾過または隔離によって普通は行われる。この技術は、スイッチング電源回路の EMI スペクトルを変更し、スイッチング周波数を変調すると規制試験に合格するので、側波帯が放出スペクトルを和らげて生成されることを更に開示している。

【0 0 0 6】 特に、Lin などの技術は、周波数変動が 15 Hz に選択されている 400 Hz の単純な正弦波で周波数変調される 90 KHz のスイッチング周波数を開示している。90 KHz に於ける放出の改善が報告されていたが、それは基本周波数の EMI がスイッチング回路に要求される EMI フィルターの振幅を決めるので重要である。この技術は、EMI の観点から、大きな周波数変動が選択さ

れ、なおかつ、単純な正弦波の周波数変調に依って生成される側波帯高調波周波数が存在するので、これらの側波帯が可聴範囲に入らないようなスイッチング回路を必要とすることも更に開示している。

【0007】スイッチング電源回路に対する規制は、クロック回路と異なる規制基準に属する。特に、C.I.S.P.R. に依って指定されるように、このようなスイッチング回路は 9 KHz の比較的狭い 6 dB 帯域幅に対してだけ測定される。そこで、このような狭い帯域幅のこのような規制試験に適合するための前述の対策は、10メガヘルツの領域で作動する高速デジタル回路に対してEMI成分を減少することに付随する難点を解決するには不十分である。測定可能なEMI放出を抑制する時に付随する問題は、代表的なクロック周波数で生成される放出に関連する C.I.S.P.R. 規制の120 KHz のように、測定される帯域幅が比較的大きな場合に特に重大になる。

【0008】

【課題を解決するための手段】 前述の背景を鑑みて、本発明の目的は、マイクロプロセッサまたは他のデジタル回路を比較的高い周波数でドライブするようにして、クロック信号を生成し、なおかつ、比較的広い帯域幅に対して測定されるEMI成分のスペクトル振幅を減少する、クロック回路と関連する方法を提供することにある。

【0009】本発明のこれと及び他の目的と特徴と長所は、基準周波数信号を生成するための発振器と、基本または中心周波数と減少された振幅のEMIスペクトル成分を基本周波数の高調波に有する拡大スペクトル・クロック出力信号を生成するための拡大スペクトル・クロック生成手段を搭載するクロック回路から与えられる。特に、拡大スペクトル・クロック生成手段は、クロック・パルスのシリーズを生成するためのクロック・パルス生成手段と、クロック・パルス生成手段に依って生成されると考えられるEMIスペクトル成分の振幅を拡大し且つ平らにするクロック・パルス生成手段を変調するための拡大スペクトル変調手段を好都合に搭載している。

【0010】クロック・パルス生成手段は、変調されない場合に、順に、対応するインパルス形状のEMIスペクトル成分を基本周波数の高調波で生成すると考えられる、一般的に長方形または台形の電気パルスを普通は生成すると考えられる。拡大スペクトル変調手段は生成されると考えられるEMIスペクトル成分のピーク振幅を減少する。そこで、高価な遮蔽構造または他のEMI抑制技術は、本発明の拡大スペクトル・クロック生成回路を搭載する電子デバイスに於いて減少または除去されると思われる。当業者が容易に理解するように、拡大スペクトル・クロック生成回路は、広範囲にわたる応用事例を、数多くの電子デバイス、特に、パーソナル・コンピュータのように、マイクロプロセッサまたはマイクロコントローラーを搭載するデバイスに於いて見受けられると思

われる。

【0011】拡大スペクトル変調手段は、クロック・パルス生成手段を周波数変調するための周波数変調手段を好都合に搭載している。周波数変調手段は、予め設定された周期と予め設定された周波数偏移形状を予め設定された周期の関数として有する周期性波形を用いてクロック・パルス生成手段を周波数変調するための形状変調手段を、順に好都合に搭載している。このように周期性波形を変調するための幾つかの好まれる或いは有効な領域について後に説明される。一般的に、好まれる波形は、EMI成分のスペクトル・ピークを、其れらの形態を拡大し且つ平らにすることに依って減少するために、単純な正弦波より複雑になる。

【0012】クロック・パルス生成手段は、通常のクロック生成回路に広く用いられているような位相ロック・ループを好都合に搭載している。周波数変調手段は、予め設定された形状を周波数偏移に対して生成できる、アナログ変調生成器またはプログラム設定変調生成器を搭載する、幾つかのタイプの回路を用いて製作されることがえられる。そのうえ、周波数変調手段は約500マイクロ秒未満の周期を有する周期性波形を用いてクロック・パルス生成手段を好都合に変調できる、すなわち、変調の周波数は希望通りに約 2 KHz より大きくなる。

【0013】発明に従う方法は、減少された振幅のEMIスペクトル成分を有するクロック出力信号を生成するためにある。この方法は、基本周波数と減少された振幅のEMIスペクトル成分を基本周波数の高調波に於いて有する拡大スペクトル・クロック出力信号を生成するステップを搭載している。拡大スペクトル・クロック出力信号を生成するステップは、クロック・パルスのシリーズを生成するステップと、クロック・パルスのシリーズと共に生成されると考えられるEMIスペクトル成分の振幅を拡大し且つ平らにするためにクロック・パルスの振幅を拡大スペクトル変調するステップを好都合に搭載している。クロック・パルスのシリーズを拡大スペクトル変調するステップは、予め設定された周期と予め設定された周波数偏移形状を予め設定された周期の関数として有する周期性波形を用いてクロック・パルスを周波数変調するステップを好都合に搭載している。

【0014】

【実施例】本発明は、発明の好まれる実施例が図示されている、添付の図面を参照しながら次に更に詳細に説明される。本発明は、しかし、数多くの異なる形態で実施されると考えられるが、ここで述べられる実施例に限定されると見なされるべきでない。むしろ、出願は、この開示が十分で完全なものであり且つ発明の範囲を当業者に適切に示すために、これらの実施例を提供するものである。

【0015】まず図1～5を見ると、拡大スペクトル・クロック生成回路を搭載する電子デバイスと其の基本動

13

作が最初に説明されている。図 1 に図示されるように、概略的に図示されているパーソナル・コンピュータ 10 のような電子デバイスは、本発明に従う拡大スペクトル・クロック生成器 14 (SSCG) に依って与えられる減少された測定可能な EMI スペクトル成分放出を有しているところが長所と言える。適切なドライバーまたは発振回路に依って其の共振周波数でドライブされる圧電水晶のような、基準周波数生成器 15 は、基準周波数を SSCG 14 に与える。図示されているパーソナル・コンピュータ 10 はディスプレイ 12 とキーボード 13 も搭載している。

【 0 0 1 6 】 当業者は容易に理解するように、マイクロプロセッサまたはクロック信号を同期のために要求する他のデジタル回路を搭載する数多くの電子デバイスも好都合に SSCG 14 を搭載していると思われる。例えば、コンピュータ・プリンタも SSCG 14 を好都合に搭載していると思われる。

【 0 0 1 7 】 SSCG 14 は、シリーズの台形または一般的に長方形の形状の電気クロック・パルスを含んでいる典型的なクロック信号を周波数変調することに依って、拡大スペクトル出力クロック信号を生成する。この変調は、変調のない同じクロック信号のスペクトルと比べると、EMI 成分のスペクトル振幅をクロックの各々高調波で減少する。図 2 は、スペクトル振幅と或る高調波 (NF) の周波数に関する関係が M とラベル表示されたプロットに依って表されている、この作用を示す略図である。図示されるように、標準クロック信号の同じ高調波に於けるスペクトルは、1 と表示されたインパルスとして与えられている。同じ高調波に於ける SSCG 出力クロック信号のスペクトルは、T と表示されてプロットで描かれている台形の形状を理想的に想定している。

【 0 0 1 8 】 一般的に或る高調波の拡大スペクトル出力クロック信号のスペクトル“幅”は標準非変調クロック信号の幅より広いが、高調波の最大振幅は狭くなる。実際は、拡大スペクトル被変調調波の振幅は、均一になるが、中心の近く及びプロット M で描かれている端で或るピークを示す。

【 0 0 1 9 】 信号の振幅を全ての周波数に対して最小限にするために、標準クロック信号の変調は独自に指定しなければならない。そこで、SSCG 14 は、予め設定された周期と予め設定された周波数偏移形状を予め設定された周期の関数として有する周期性波形を用いて、クロック・パルス生成手段を周波数変調するための形状変調手段を搭載している。ここで説明される変調形状は相対的に最適化された平らなスペクトル振幅を各々高調波で生成する。一般的に、好まれる形状は、EMI 成分の測定可能スペクトル・ピークを減少するために、単純な正弦波より複雑になる。他の項目で説明するように、本発明は、狭い帯域の高調波を、FCC と世界の他の規制に相応して測定される放出量を大幅に減少する広帯域の信号に変換する。これらの放出量の減少は、EMI 放出を抑制ま

14

たは遮蔽するための通常の方式のコストと比べると、対応するコストを製品あたりで約 20 ドル以上も低下すると思われる。

【 0 0 2 0 】 図 3 は、SSCG 14 の内部で利用できる周波数偏移と時間の関係に関する典型的な形状を示している。図示されている最大偏移は 100 KHz である。この最大周波数偏移は、シリアル・リンクを介して希望通りにプログラム設定できて、最大偏移の上限は、典型的な電流応用事例にとって好都合な約 250 KHz になる。しかし、応用事例に基づいて、最大偏移は、当業者が容易に理解できると思われる 250 KHz よりはるかに大きくなる。更に当業者が容易に理解できると思われるが、標準の非変調クロック信号は、最大偏移を 0 にプログラム設定すると得ることができる。

【 0 0 2 1 】 図 3 に図示されている形状を変調する信号の周波数は 30 KHz である。大きなピーク振幅の減少が、周波数が 2 KHz を越える時に、すなわち、変調する波形または形状の周期が約 500 μ sec 未満の場合にも達成される。この周波数は、シリアル・リンクを介して希望通りにプログラム設定できるか、または応用事例に基づいて固定され则认为られる。図示されている変調の形状は、標準三角波と其の 3 次波の線形的な組み合わせである。形状の値が 100 KHz と 200 KHz の最大周波数偏移に対して次の表 1 に記載されている。100 KHz または 200 KHz 以外の最大偏移の場合、変調信号に相応する値は、当業者が容易に認められるように、表 1 の値を単純に増減すれば求めることができる。

【 0 0 2 2 】

【 表 1 】

【 0 0 2 3 】 ここで特に図 4 を見ると、周波数偏移の形状の幾つかの好まれる領域が図示されている。特に、形状は周波数偏移のパーセンテージと周期性波形の周期 (% 周期) のパーセンテージに関する関係として表されている。最外部の領域またはエンベロープは、第 2 象限の 11、すなわち、周期の 0 % と 25 % の間で F_1 , F_2 と表示されている点線に依って図示されている。直線のシンメトリーが前述の他に描かれた象限の境界を定める。そこで、当業者は、希望された応用事例に適した領域を容易に設定して増減できると思われる。

【 0 0 2 4 】 点線は、第 2 象限 11 に対して予め設定された上限と下限に依って機械的に形成される。上限 F_1 は次の式から形成される。

【 0 0 2 5 】

【 数 2 1 】

$$100\% \left[-1 + \sqrt{ - \left(\frac{\% \text{ Period}}{25} \right)^2 + 4 \left(\frac{\% \text{ Period}}{25} \right) + .973 } \right],$$

それに対して下限 F_2 は次の式から形成される。

【 0 0 2 6 】

【 数 2 2 】

$$50\% \left\{ \frac{\% \text{ Period}}{25} \right\}^{1.5}$$

【 0 0 2 7 】 当業者は容易に理解するように、 F_1 と F_2 から形成される他に象限の境界は、次のようになる。

象限 I (-25 % ~ 0 % の周期)

下限 = $-F_1$ (-% 周期)

上限 = $-F_2$ (-% 周期)

象限 I I I (25 % ~ 50 % の周期)

下限 = F_2 (50 - % 周期)

上限 = F_1 (50 - % 周期)

象限 I V (50 % ~ 75 % の周期)

下限 = $-F_1$ (% 周期 - 50)

上限 = $-F_2$ (% 周期 - 50)

【 0 0 2 8 】 更に好まれる形状領域が図 3 の破線で表されている。象限 I I に於いて、この形状は上限 F_2 と下限 F_1 から形成される。上限 F_2 は次の式から象限 I I で形成される。

【 0 0 2 9 】

【 数 2 3 】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\}$$

また、下限は次の式から象限 I I で形成される。

【 0 0 3 0 】

【 数 2 4 】

$$100\% \left\{ \frac{\% \text{ Period}}{25} \right\}^2$$

【 0 0 3 1 】 そこで、他の境界は次のようにして与えられる。

象限 I (-25 % ~ 0 % の周期)

下限 = $-F_1$ (-% 周期)

上限 = $-F_2$ (-% 周期)

象限 I I I (25 % ~ 50 % の周期)

下限 = F_2 (50 - % 周期)

上限 = F_1 (50 - % 周期)

象限 I V (50 % ~ 75 % の周期)

下限 = $-F_1$ (% 周期 - 50)

上限 = $-F_2$ (% 周期 - 50)

【 0 0 3 2 】 図 2 にも図示されているように、図 3 の実

電気特性

特 性	記号	最小	タイプ	最大	単位
負荷の静電容量	C_L	-	30	50	pF
静止電源電流	I_{cc}	-	-	45	mA

【 0 0 3 9 】

線 P_1 は、三角波と其の 3 次波の線形的な組み合わせを示している。特に、この形状は下記に等しい F_1 に依って象限 I I に形成される。

$$100\% [0.45 (\% \text{ 周期} / 25)^2 + 0.55 (\% \text{ 周期} / 25)]$$

【 0 0 3 3 】 そこで、実線は他の象限に次のようにして形成される。

象限 I (-25 % ~ 0 % の周期)

$-F_1$ (-% 周期)

象限 I I I (25 % ~ 50 % の周期)

10 F_2 (50 - % 周期)

象限 I V (50 % ~ 75 % の周期)

$-F_2$ (% 周期 - 50)

【 0 0 3 4 】 図 5 は、当業者が容易に認めるようにして、 F_1 と F_2 から形成される最外部の形状の内部に入るように増減できる、周波数偏移変調の形状に関する更なる別の実施例を示している。

【 0 0 3 5 】 ここで更に図 6 ~ 9 を見ると、SSCG 14 に好都合の回路の実施例が図示されている。ブロック図は幾つかの通常の位相ロック・ループ (PLL) 周波数合成器チップと似ている。しかし、変調選択が、プログラム設定可能変調生成器を幾つかの実施例に於いて、またはアナログ変調生成器を他の実施例に於いて搭載して加えられている。変調は、電圧制御発振器 (VCO) または発振器タンク回路に送られて、希望された変調指数を与える。

【 0 0 3 6 】 SSCG 14 は、 I^2C シリアル・バスまたは選択ラインを介して希望通りにプログラム設定できるので、中心周波数と最大周波数偏移と変調周波数を変えることができる。単一の +5V 電源と最小限度の外部回路と水晶は、TTL と CMOS コンパチブル出力を、制御される立ち上がりとしち下がり時間を有して生成する。そのう

30 え、全ての入力は標準 TTL とコンパチブルである。

【 0 0 3 7 】 次に示す電気特性 (テーブル 2) と次に与えられるスイッチング特性も SSCG14 の実施例に依って希望通りになり、通常のデジタル回路またはマイクロプロセッサ・クロック入力規定とコンパチブルになる。

【 0 0 3 8 】

【 表 2 】

【 表 3 】

スイッチング特性

特 性	記号	最小	タイプ	最大	単位
出力の立ち上がり(0.8~2.0 V) 立ち下がり時間(2.0~0.8 V)	t_{rLH}, t_{HL}	1	2	3	ns
最大周波数偏移*	ΔF_{max}	0	100	250	KHz
変調周波数*	F_{mod}	15	30	50	KHz

* シリアル・リンクからプログラム設定可能

【0040】最初に図6の略ブロック図を見ると、本発明に従い参照数字30に依って一般的に表されるSSCGの位相ロック・ループ(PLL)の具体例が、最初に説明されている。Y1 31は、発振回路33に使用する圧電水晶であり、安定クロック・パルス・トレインまたは非変調クロック信号を生成する。第1プログラム設定カウンタ35は非変調クロック信号を整数(M)で分割する。電圧制御発振器39(VCO)は、出力クロック信号、バッファ40からの出力を生成し、それは位相検出器37とフィルタ38からの入力電圧に比例する。

【0041】第2プログラム設定カウンタ42はVCO 39の信号を整数(N)で分割する。位相検出器37とフィルタ38は、各々第1と第2のプログラム設定カウンタ35と42間の位相エラーに比例するアナログ信号を生成する。そこで、バッファ40からのクロック信号出力は発振周波数時間 N/M に等しい。当業者は容易に理解するように、NとMが一定の時に、この回路は標準(PLL)回路として作動する。

【0042】発明に従う拡大スペクトル変調は、MとNを時間の関数として変える拡大スペクトル変調手段41を用いて、この実施例で行われる。第3プログラム設定カウンタ45は、発振回路33の出力を、MとNが変わる割合または変調周波数を設定する、整数(I)で分割する。第1と第2のルックアップ・テーブル46と47は、各々、出力クロック信号周波数を変調するMとNのタビライズ値である。アップ/ダウン・カウンタ49は、ルックアップ・テーブルの次のエントリを示すために用いられる。動作に対して要求されない、シリアル・リンク51は、異なる値をプログラム設定カウンタまたはルックアップ・テーブルにプログラム設定して、変調特性を修正するために用いられる。

【0043】ここで図7を見ると、参照数字50に依って一般的に表されるSSCGの第2実施例が説明されている。前述の成分は、同様の数字に依って表されているので更なる説明を必要としない。この実施例の場合、拡大スペクトル変調は、第2 VCO 51とアナログ回路52に依って行われる。第2 VCO は、変調がない時に第1 VCO 39と同じクロック信号を生成する。第2 VCO 51は、アナログ変調にตอบสนองして、拡大スペクトル・クロック出力信号を生成する。

【0044】アナログ変調回路52の実施例は、変調周波数を生成する発振器と、三角波関数(r(t))を生成するインテグレーターと、ログ・アンチログ増幅器(alog(31

og(r(t))))と、.55r(t)+.45(alog(3log(r(t))))の変調形状を生成する加算機を、図3のプロットP1で図示されるようにして搭載している。図示されている実施例の代替方式も、当業者が容易に理解するように、第1 VCO 39に変調を加えられと考えられる。

【0045】図8は、発明に従うSSCG 70の更に別の実施例を示している。反転増幅器71は、インダクターLとコンデンサーC1と共に単純な発振回路72を形成して、安定クロック信号を生成する。コンデンサーC1とC3とバラクター・ダイオードDは、発振回路の周波数を変えるC1の有効静電容量を変えるために用いられる。バラクター・ダイオードは、その接合静電容量を其ここに印加された電圧に比例して変える。アナログ変調回路52は図7を参照して既に説明された回路と好都合に同じになる。反転増幅器71の出力は直接使用できる或いはPLL回路を図のように加えて任意の他の周波数に増減できる拡大スペクトル・クロック信号である。第1プログラム設定カウンタ35は発振周波数を整数(M)で分割するが、VCO 39は位相検出器37とフィルタ38の入力電圧に比例するクロック信号を生成する。第2プログラム設定カウンタ42はVCO信号を整数(N)で分割する。位相検出器37とフィルタ38は、各々第1と第2のプログラム設定カウンタ35と42間の位相エラーに比例するアナログ信号を出力する。2分割回路63は、当業者が容易に理解するように50%デューティ・サイクルを有するクロック出力信号を生成するために用いられる。

【0046】SSCG 80の更に別の実施例が、図9に図示されていて、次のように説明される。図の実施例は図7と類似しているが、変調はデジタル/アナログ・コンバータ83(DAC)に送られる変調振幅値を其ここに記憶しているROM 82に依って行われる。アップ/ダウン・カウンタ84はROM 82の値を示すために用いられるが、第3プログラム設定カウンタ85は変調周波数を設定する。

【0047】SSCGの別の実施例はダイレクト・デジタル合成器を搭載している。水晶と発振回路は、安定または非変調クロック信号を生成する。当業者は容易に理解するように、ダイレクト・デジタル合成器(DDS)はアキュムレータであり、そこでは位相定数がアキュムレータにクロック・サイクルごとに加えられ、なおかつ、読取専用メモリ(ROM)と共に方形波を最上位ビット(MSB)から生成する。出力方形波の周波数は、位相定数を時間の関数として変えると変調できる。これは、プログラム

設定アップ/ダウン・カウンタと、図 6 に図示されているものと類似のルックアップ・テーブルを用いて好都合に行われる。VCO は、位相検出器とフィルタの入力電圧に比例するクロック信号を生成する。位相検出器とフィルタは、プログラム設定カウンタと DDS 回路間の位相エラーに比例するアナログ信号も出力する。拡大スペクトル被変調クロック信号は分割器またはバッファーからも出力されることができる。

【 0 0 4 8 】 当業者は容易に理解するように、ここで物理的なパッケージで説明された任意の回路の具体例に於いて、幾つかのこのような拡大スペクトル・クロック生成回路 (SSCG) は同じ DIP で見受けられると思われる。そのう、標準位相ロック・ループ周波数合成器も、同じ DIP に位置して、標準クロック信号を必要におうじて与えられられる。SSCG は、マイクロプロセッサまたは任意の他のデジタルまたはアナログ回路を備えて内部に搭載されることもできる。

【 0 0 4 9 】 発明に従う方法は、拡大スペクトル・クロック出力信号を生成するためにある。この方法は、シリーズのクロック・パルスを生成し、なおかつ、シリーズのクロック・パルスを拡大スペクトル変調して、シリーズのクロック・パルスと共に生成されと思われる EMI スペクトル成分の振幅を拡大して平らにするステップを好都合に搭載している。シリーズのクロック・パルスを拡大スペクトル変調するステップは、既に詳細に説明されたように、予め設定された周期と予め設定された周波数偏移形状を予め設定された周期の関数として有する周期性波形を用いて、クロック・パルスを周波数変調するステップを好都合に搭載している。

【 0 0 5 0 】 シリーズのクロック・パルスを周波数変調するステップは、約 500 マイクロ秒未満の周期を有する周期性波形をもつシリーズのクロック・パルスを変調するステップも好都合に搭載している。発明に従う拡大スペクトル変調は、クロック基本周波数を変えるので、通常のクロック回路の固定された周波数と比べると、平均クロック周波数が 5 ~ 10 % 減少する結果になる。しかし、大多数の応用事例に対して、発明に従う SSCG は、全体的な電子デバイスの性能を損ねずに、測定される EMI 放出量を大幅に減少する。

【 0 0 5 1 】

【発明の効果】 発明の数多くの変更と他の実施例は、前述の説明と関連する図面で提案された考えの長所を有していることが、当業者に明確になるものと思われる。従って、発明は開示された特定の実施例に限定されず、なおかつ、変更と実施例は添付の特許請求の範囲に含まれることを意図されていることが理解される。

【図面の簡単な説明】

【図 1】 発明に従う拡大スペクトル・クロック生成回路を搭載するパーソナル・コンピュータの略ブロック図である。

【図 2】 本発明に従う拡大スペクトル・クロック生成回路に依って生成されるクロック基本周波数の高調波のピーク・スペクトル振幅の減少を示すグラフである。

【図 3】 本発明に従う拡大スペクトル被変調クロック信号を生成するために希望された変調形状の実施例を示すグラフである。

【図 4】 本発明に従う拡大スペクトル被変調クロック出力信号を生成するための幾つかの変調形状範囲を示すグラフである。

【図 5】 本発明に従う拡大スペクトル被変調クロック出力信号を生成するために希望された変調形状の別の実施例を示すグラフである。

【図 6】 本発明に従う拡大スペクトル被変調クロック出力信号を生成するための第 1 回路実施例を示す略ブロック図である。

【図 7】 本発明に従う拡大スペクトル被変調クロック出力信号を生成するための第 2 回路実施例を示す略ブロック図である。

【図 8】 本発明に従う拡大スペクトル被変調クロック出力信号を生成するための第 3 回路実施例を示す略ブロック図である。

【図 9】 本発明に従う拡大スペクトル被変調クロック出力信号を生成するための第 4 回路実施例を示す略ブロック図である。

【符号の説明】

- 1 0 パーソナル・コンピュータ
- 1 1 マイクロプロセッサ
- 1 2 ディスプレイ
- 1 3 キーボード
- 1 4 拡大スペクトル・クロック生成器 14
- 1 5 基準周波数生成器
- 3 1 YI
- 3 3 発振器
- 3 5 第 1 プログラム設定カウンタ
- 3 7 位相検出器
- 3 8 フィルタ
- 3 9 VCO
- 4 0 バッファ 出力
- 4 2 第 2 プログラム設定カウンタ
- 4 5 第 3 プログラム設定カウンタ
- 4 6 ルックアップ・テーブル 1
- 4 7 ルックアップ・テーブル 2
- 4 9 アップ/ダウン
- 5 1 シリアル・リンク
- 5 2 アナログ変調回路
- 6 2 ROM
- 6 3 2 分割回路 出力
- 8 3 デジタル/アナログ・コンバータ
- 8 4 アップ/ダウン・カウンタ
- 8 5 第 3 プログラム設定カウンタ

【表 1】

時間 (μs)	偏移 (kHz) 100 kHz 最大	偏移 (kHz) 200 kHz 最大
0	-100	-200
0.520833	-88.4615	-176.923
1.041667	-76.9231	-153.846
1.5625	-67.3077	-134.615
2.083333	-59.6154	-119.231
2.604167	-51.9231	-103.846
3.125	-44.2308	-88.4615
3.645833	-38.4615	-76.9231
4.166667	-32.6923	-65.3846
4.6875	-26.9231	-53.8462
5.208333	-23.0769	-46.1538
5.729167	-19.2308	-38.4615
6.25	-13.4615	-26.9231
6.770833	-9.61538	-19.2308
7.291667	-7.69231	-15.3846
7.8125	-3.84615	-7.69231
8.333333	0	0
8.854167	3.846154	7.692308
9.375	7.692308	15.38462
9.895833	9.615385	19.23077
10.41667	13.46154	26.92308
10.9375	19.23077	38.46154
11.45833	23.07692	46.15385
11.97917	26.92308	53.84615
12.5	32.69231	65.38462
13.02083	38.46154	76.92308
13.54167	44.23077	88.46154
14.0625	51.92308	103.8462

30 kHz の変調周波数に依る

100 kHz と 200 kHz の最大周波数偏移の周波数偏移の値

【表 1】

23

24

時間 (μs)	偏 移 (kHz) 100 kHz 最大	偏 移 (kHz) 200 kHz 最大
14.58333	59.61538	119.2308
15.10417	67.30769	134.6154
15.625	76.92308	153.8462
16.14503	88.46154	176.9231
16.66667	98.07692	196.1538
17.1875	88.46154	176.9231
17.70833	76.92308	153.8462
18.22917	67.30769	134.6154
18.75	59.61538	119.2308
19.27083	51.92308	103.8462
19.79167	44.23077	88.46154
20.3125	38.46154	76.92308
20.83333	32.69231	65.38462
21.35417	26.92308	53.84615
21.875	23.07692	46.15385
22.39583	19.23077	38.46154
22.91667	13.46154	26.92308
23.4375	9.615385	19.23077
23.95833	7.692308	15.38462
24.47917	3.846154	7.692308
25	0	0
25.52083	-3.84615	-7.69231
26.04167	-7.69231	-15.3846
26.5625	-9.61538	-19.2308
27.08333	-13.4615	-26.9231
27.60417	-19.2308	-38.4615
28.125	-23.0769	-46.1538
28.64583	-26.9231	-53.8462

表 1--(続き)
30 kHz の変調周波数に依る

100 kHz と 200 kHz の最大周波数偏移の周波数偏移の値
30

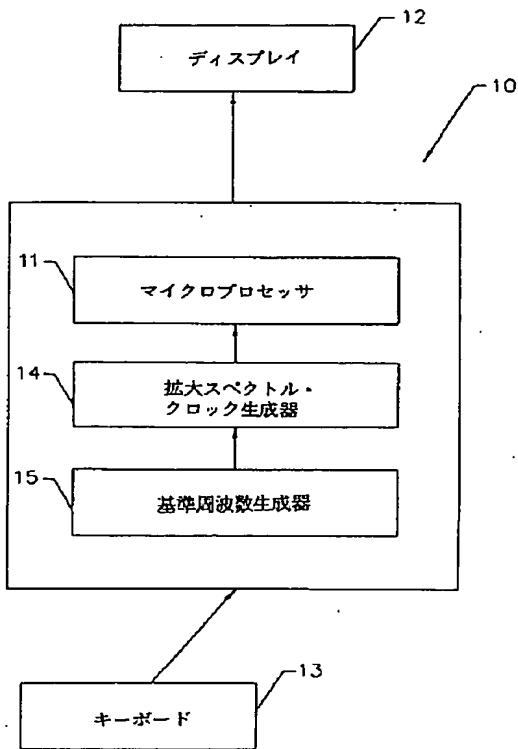
【表 1】

時間 (μs)	偏 移 (kHz) 100 kHz 最大	偏 移 (kHz) 200 kHz 最大
29.16667	-32.6923	-65.3846
29.6875	-38.4615	-76.9231
30.20833	-44.2308	-88.4615
30.72917	-51.9231	-103.846
31.25	-59.6154	-119.231
31.77083	-67.3077	-134.615
32.29167	-76.9231	-153.846
32.8125	-88.4615	-176.923
33.33333	-100	-200

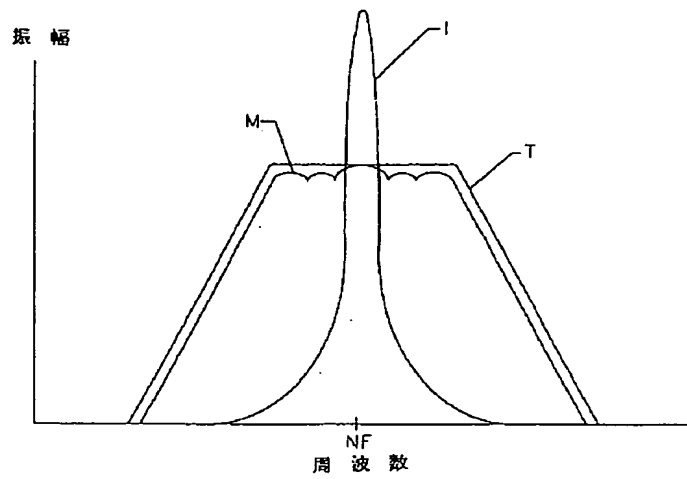
表 1--(続き)
30 kHz の変調周波数に依る

100 kHz と 200 kHz の最大周波数偏移の周波数偏移の値

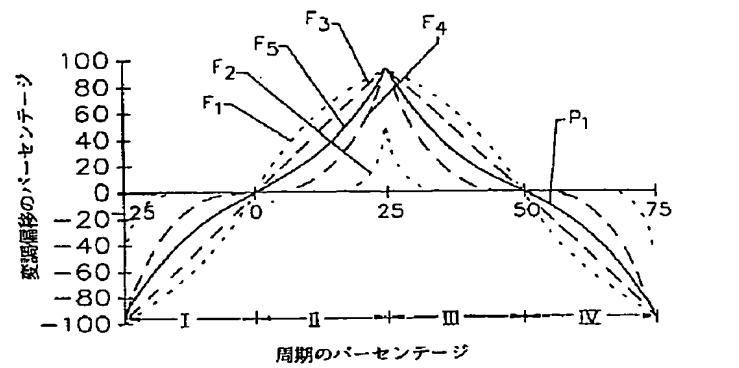
【図 1】



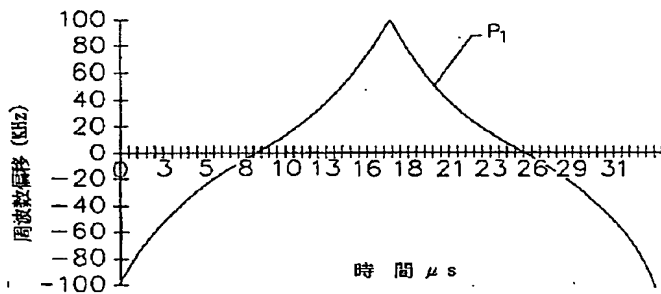
【図 2】



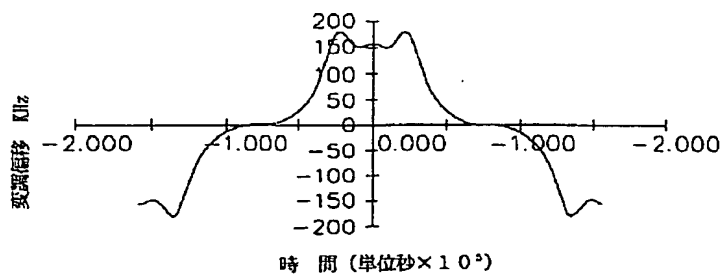
【図 4】



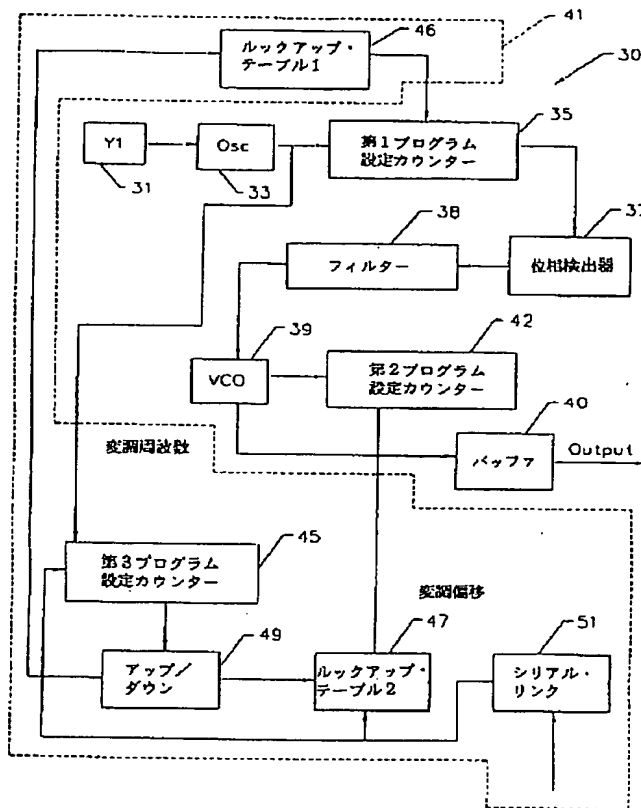
【図 3】



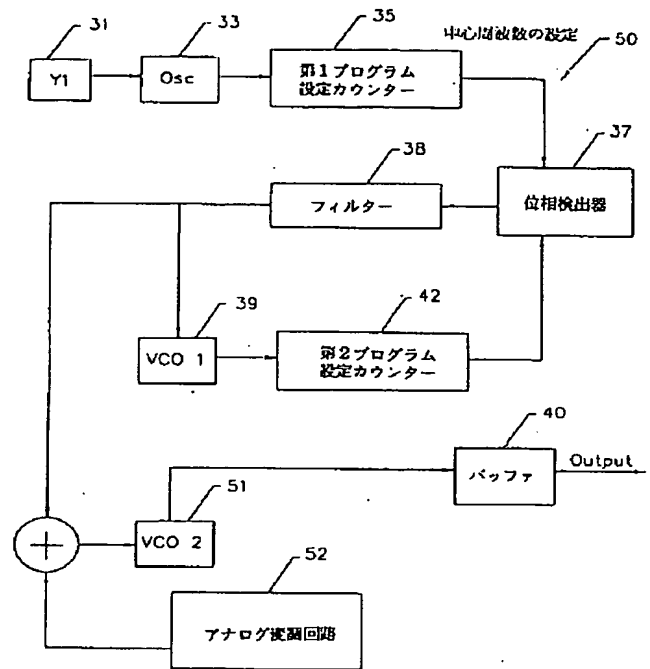
【図 5】



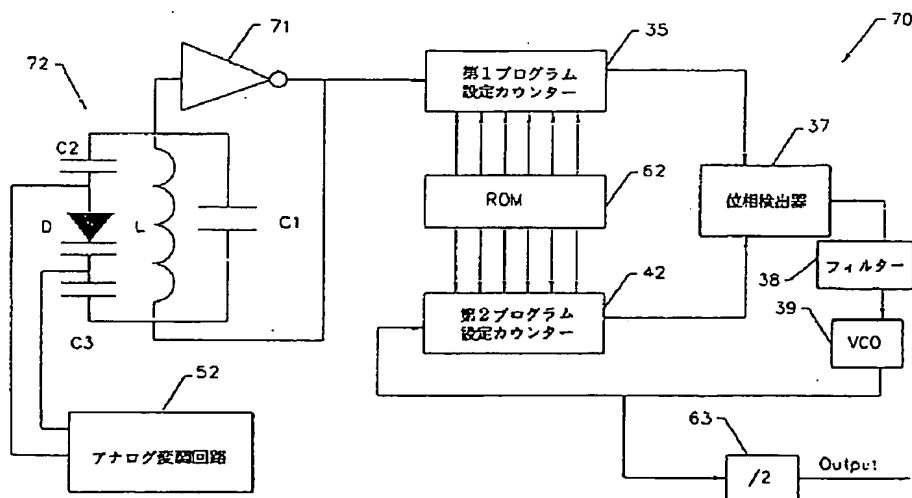
【図 6】



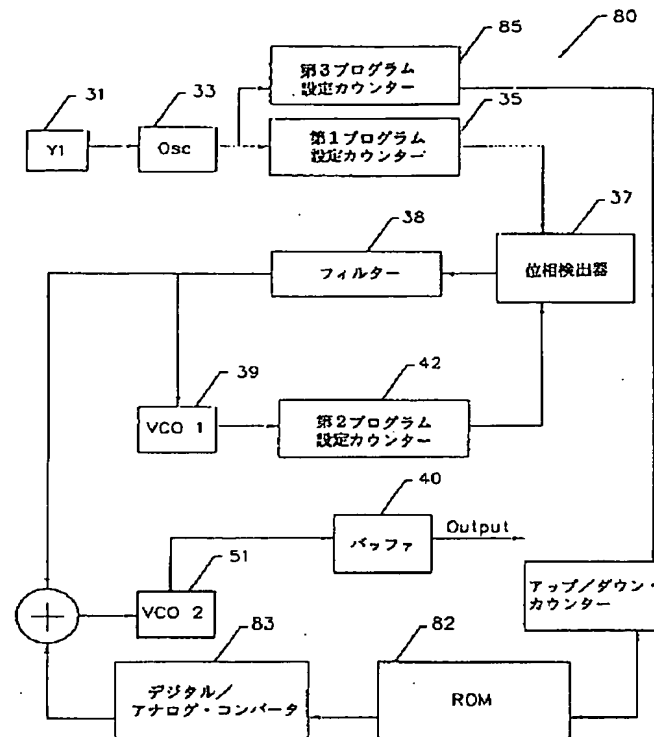
【図 7】



【図 8】



【 図 9 】



フロントページの続き

(72) 発明者 ジョン・ティー・フェスラー
アメリカ合衆国 40511 ケンタッキー、
レキシントン、ニュー・サークル・ロード 740

(72) 発明者 ドナルド・アール・ブッシュ
アメリカ合衆国 40391 ケンタッキー、
ウインチェスター、フレンチ・アヴェニュー 131

(72) 発明者 ジェームズ・アール・ブース
アメリカ合衆国 40356 ケンタッキー、
ニコラスヴィル、ランタン・ウェイ 65